

PAT-NO: JP409107299A  
DOCUMENT-IDENTIFIER: JP 09107299 A  
TITLE: RECEIVING AMPLIFIER  
PUBN-DATE: April 22, 1997

INVENTOR-INFORMATION:  
NAME  
MOGI, SATOSHI

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
SAITAMA NIPPON DENKI KK N/A

APPL-NO: JP07263994  
APPL-DATE: October 12, 1995

INT-CL (IPC): H04B001/16, H03G003/20 , H03G003/30 ,  
H04B001/26 , H04B007/26

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the power consumption of the device and to suppress heat generation to improve the reliability.

SOLUTION: Bias currents I1, I2, and I3 are applied to amplification parts 3, 4, and 5, and an input signal S1 received through an antenna 1 and a band filter 2 is amplified. A reception electric field detection part 6 detects the level of the input signal S1 to output data on showing the reception electric field level. Optimum values D2 and D3 of bias currents I2 and I3 of amplification parts 4 and 5 which can suppress the intermodulation distortion

within an allowable value to realize a low power consumption are preliminarily stored in a bias storage part 7 correspondingly to the reception electric field level. A bias control part 8 receives data D1 showing the reception electric field level to read out pertinent optimum bias current values D2 and D3 from the bias storage part 7 and sends them to bias generation parts 9 and 10 respectively. Bias generation parts 9 and 10 generate bias currents 12 and 13 based on optimum current values D2 and D3 and supply them to amplification parts 4 and 5 respectively.

COPYRIGHT: (C)1997,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-107299

(43) 公開日 平成9年(1997)4月22日

(51) Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B	1/16		H 0 4 B 1/16	
H 0 3 G	3/20		H 0 3 G 3/20	C
	3/30		3/30	C
H 0 4 B	1/26		H 0 4 B 1/26	H
	7/26		7/26	C
審査請求 有 請求項の数 2 O L (全 5 頁)				

(21) 出願番号 特願平7-263994

(22) 出願日 平成7年(1995)10月12日

(71) 出願人 390010179

埼玉日本電気株式会社

埼玉県児玉郡神川町大字元原字豊原300番  
18

(72) 発明者 茂木 聡

埼玉県児玉郡神川町大字元原字豊原300番  
18 埼玉日本電気株式会社内

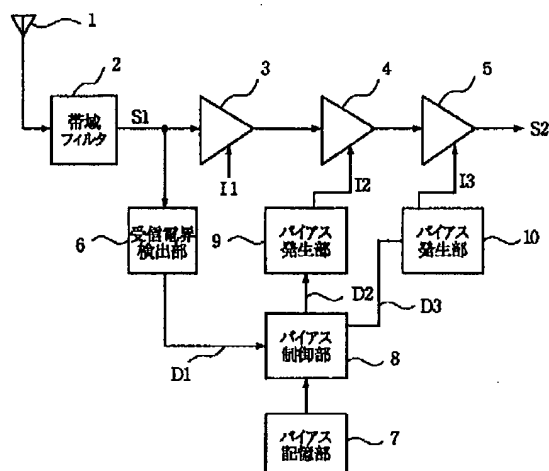
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 受信増幅装置

(57) 【要約】

【課題】装置の低消費電力化を図ると共に、発熱を抑えて信頼性を高める。

【解決手段】増幅部3, 4, 5は、バイアス電流I1, I2, I3をそれぞれ印加され、アンテナ1および帯域フィルタ2を介して受信した入力信号S1を増幅する。受信電界検出部6は、入力信号S1のレベルを検出して受信電界レベルを示すデータD1を出力する。バイアス記憶部7は、相互変調歪を許容値内に抑えて低消費電力を実現できる増幅部4, 5のバイアス電流I2, I3の最適値D2, D3を受信電界レベルに対応して予め記憶している。バイアス制御部8は、受信電界レベルを示すデータD1を受けてバイアス記憶部7から該当する最適バイアス電流値D2, D3をそれぞれ読出し、バイアス発生部9, 10へそれぞれ送出する。バイアス発生部9, 10は、最適電流値D2, D3に基づきバイアス電流I2, I3をそれぞれ発生し、増幅部4, 5へそれぞれ供給する。



## 【特許請求の範囲】

【請求項1】 バイアス電流が印加されて受信信号を増幅する増幅手段と、前記受信信号の受信電界レベルを検出する受信電界検出手段と、相互変調歪を許容値内に抑えて低消費電力を実現するように前記受信電界レベルに応じて前記バイアス電流を制御する制御手段とを備え、前記制御手段は、前記受信電界レベルが弱いときに前記バイアス電流を低減させることを特徴とする受信増幅装置。

【請求項2】 前記制御手段は、前記増幅手段の相互変調歪を許容値内に抑えて低消費電力を実現できる前記バイアス電流の最適値を前記受信電界レベルに対応して予め記憶しているバイアス記憶部と、前記受信電界検出手段が検出した前記受信電界レベルに応じて前記バイアス記憶部から最適バイアス電流値を讀出すバイアス制御部と、このバイアス制御部から讀出した前記最適バイアス電流値に基づき前記バイアス電流を発生して前記増幅手段へ供給するバイアス発生部とを備えることを特徴とする請求項1記載の受信増幅装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は受信増幅装置に関し、特に移动通信システムの基地局用の受信増幅装置に関する。

【0002】

【従来の技術】従来、移动通信システムの基地局の受信増幅装置は、受信電界が強いときでも弱いときでも、受信状態に関係なく最大負荷状態に相当する動作条件で動作させている。

【0003】

【発明が解決しようとする課題】従来の受信増幅装置では、常に最大負荷状態で動作させているので、消費電力が大きくなるばかりでなく、増幅素子の発熱によって温度上昇し、増幅装置全体の信頼性が劣化するという問題点を有している。

【0004】本発明の目的は、装置の低消費電力化を図り、装置の発熱を抑えて信頼性を高めることができる受信増幅装置を提供することにある。

【0005】

【課題を解決するための手段】本発明の受信増幅装置は、受信電界レベルが弱いときに高周波増幅素子のバイアス電流を低減させることにより、相互変調歪を許容値内に抑えて低消費電力を実現する。すなわち、バイアス電流が印加されて受信信号を増幅する増幅手段と、前記受信信号の受信電界レベルを検出する受信電界検出手段と、相互変調歪を許容値内に抑えて低消費電力を実現するように前記受信電界レベルに応じて前記バイアス電流を制御する制御手段とを備える。

【0006】

【発明の実施の形態】次に本発明について図面を参照し

て説明する。

【0007】図1は本発明の一実施形態を示すブロック図である。アンテナ1および帯域フィルタ2を介して受信した入力信号S1を、増幅部3、4、5により増幅して出力信号S2としている。

【0008】増幅部3、4、5は、バイアス電流I1、I2、I3がそれぞれ印加されて動作する高周波増幅素子を有して構成されている。ここで、終段の増幅部5では、信号レベルが大きくなり相互変調歪が発生し易いので、相互変調歪の少ない大出力用の増幅素子を使用する。増幅部4には、バイアス電流に応じて利得が制御できる増幅素子を使用する。初段の増幅部3には、固定されたバイアス電流により低雑音増幅動作する増幅素子を使用する。

【0009】ところで、高周波増幅素子の利得および相互変調歪は、高周波増幅素子に印加するバイアス電流によって変化する。一般に、バイアス電流を増加させることにより利得が増加し、相互変調歪が低減する。

【0010】例えば、終段の増幅部5の利得および相互変調歪が、図2(a)に示すように、バイアス電流I3に応じて変化するものとする。受信電界が強くなれば信号レベルが大きくなり、相互変調歪(破線)は増大する。一方、バイアス電流が増加すればダイナミックレンジが広がり、相互変調歪は低減する。なお、前段の増幅部4では、信号レベルが小さいので、相互変調歪は無視できる。

【0011】ここで、受信電界が強いときは相互変調歪の低減を主眼として、終段の増幅部5のバイアス電流I3を増大させ、相互変調歪が許容値以上に発生しないように設定する。そして、バイアス電流I3の増大による増幅部5の利得増加分に対しては、前段の増幅部4のバイアス電流I2を低減させて利得を下げることにより、全体としての利得を一定に維持できる。

【0012】受信電界が弱いときは消費電力の低減を主眼として、消費電力の大きな終段の増幅部5のバイアス電流I3を低減させる。この場合、相互変調歪が許容値以上に発生しない範囲とする。そして、バイアス電流I3の低減による増幅部5の利得低下分は、前段の増幅部4のバイアス電流I2を増加させて利得を上げることにより、全体としての利得を一定に維持できる。なお、バイアス電流I3はバイアス電流I2よりも大きいので、消費電力はバイアス電流I3によって左右される。

【0013】さて、受信電界レベルに応じてバイアス電流を設定するために、受信電界検出部6と、バイアス記憶部7と、バイアス制御部8と、バイアス発生部9、10とを設けている。

【0014】受信電界検出部6は、入力信号S1のレベルを検出して受信電界レベルを示すデータD1を出力する。バイアス記憶部7は、例えば、図2(b)に示すように、相互変調歪を許容値内に抑えて低消費電力を実現

3

できる増幅部4、5のバイアス電流I2、I3の最適値D2、D3を受信電界レベルに対応して予め記憶している。

【0015】バイアス制御部8は、受信電界レベルを示すデータD1を受けてバイアス記憶部7から該当する最適バイアス電流値D2、D3をそれぞれ読出して、バイアス発生部9、10へそれぞれ送出する。バイアス発生部9、10は、最適バイアス電流値D2、D3に基づきバイアス電流I2、I3をそれぞれ発生し、増幅部4、5へそれぞれ供給する。

【0016】いま、受信電界が強いとき（横軸上のB点）は、相互変調歪が許容値内になる増幅部5の最適バイアス電流値を $3p$ （ $p$ の3倍）〔mA〕とし、増幅部4の最適バイアス電流値を $p$ 〔mA〕としている。また、このときの増幅部4の利得は $g$ 〔dB〕、増幅部5の利得は $(g+3)$ 〔dB〕とする。

【0017】受信電界が弱いとき（横軸上のA点）には、増幅部5のバイアス電流を $\alpha$ 〔mA〕だけ減少させて $(3p-\alpha)$ 〔mA〕としても、相互変調歪は許容値内に抑えることができる。このとき、増幅部5の利得が $\beta$ 〔dB〕だけ減少して $(g+3-\beta)$ 〔dB〕となるので、増幅部4の利得が $\beta$ 〔dB〕だけ増加して $(g+\beta)$ 〔dB〕になるように、増幅部4のバイアス電流を $r$ 〔mA〕だけ増加させて $(p+r)$ 〔mA〕とする。

【0018】従って、受信電界が強いときの増幅部4、5のバイアス電流の合計は $p+3p=4p$ 〔mA〕となり、利得の合計は、 $g+(g+3)=2g+3$ 〔dB〕となる。

【0019】また、受信電界が弱いときの増幅部4、5のバイアス電流の合計は、 $(3p-\alpha)+(p+r)=4p-(\alpha-r)$ 〔mA〕となる。利得の合計は、 $(g$

4

$+3-\beta)+(g+\beta)=2g+3$ 〔dB〕となり、受信電界が強いときと同じ利得である。

【0020】このように制御することにより、受信電界が弱いときの合計電流は $4p-(\alpha-r)$ 〔mA〕となるので、受信電界が強いときのよりも $(\alpha-r)$ 〔mA〕だけ減少する。ここで、終段の増幅部5のバイアス電流値の方が増幅部4のバイアス電流値よりも大きいので $\alpha>r$ であり、増幅部5のバイアス電流を低減することが装置の消費電力の低減に大きく寄与することになる。

【0021】

【発明の効果】以上説明したように本発明によれば、受信電界に応じて増幅部のバイアス電流を適切に制御することにより、相互変調歪を許容値内に抑えて装置の消費電力を低減でき、更に装置の発熱を抑えて信頼度を向上できるという効果を有している。

【図面の簡単な説明】

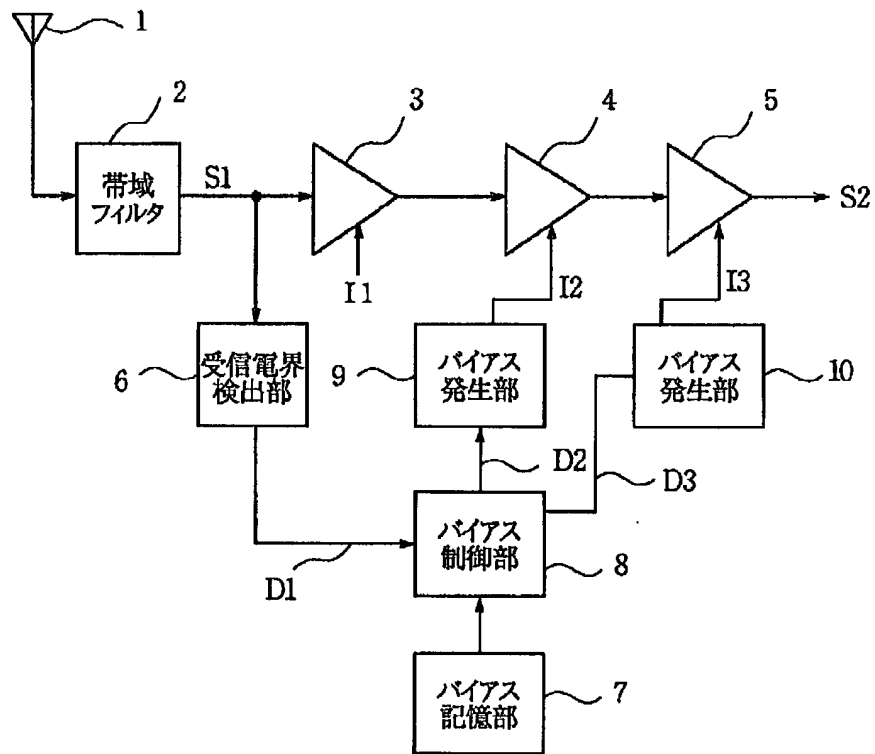
【図1】本発明の一実施形態を示すブロック図である。

【図2】図1に示した受信増幅装置の動作を説明するための図であり、(a)は増幅部5のバイアス電流に対する利得および相互変調歪の特性を示し、(b)は相互変調歪を許容値内に抑えて低消費電力を実現する最適バイアス電流値D2、D3を示している。

【符号の説明】

3, 4, 5 増幅部  
6 受信電界検出部  
7 バイアス記憶部  
8 バイアス制御部  
9, 10 バイアス発生部  
I1, I2, I3 バイアス電流  
S1 入力信号

【図1】



【図2】

